

## ナショナルインスツルメンツの Synchronization and Memory Core (SMC)

### -- ミックスドシグナルテストのための新しいアーキテクチャ --

昨今の最新エレクトロニクス設計業界は、一つの製品に多様な機能が集積化され、アナログ技術とデジタル技術の機能性の集束される傾向があります。ビデオ、オーディオとデータが 1 つに集まった 3G ワイヤレスハンドセット(FOMA)およびセットトップボックスはそのようなシステムが例として挙げられます。このようなシステムをテストするには共通のベースバンドサンプリングレート、ひずみ、タイミング特性を持つ緊密に統合されたアナログ/デジタル集録・生成ハードウェアが必要です。タイムベースが分散され、異なるアナログ特性を持つ単独型計測器を使用するのは非常に困難となります。さらに今日では生産工場が世界各地に分散されている場合が多く、テストシステムは様々な温度環境内で昼夜稼働されています。より信頼性とスループット(処理能力)が高いテストシステムを構築するには、広い温度範囲内で安定性および一貫性を保持可能な計測ハードウェアが不可欠です。

ナショナルインスツルメンツでは、多機能集積型デバイスをテストする際の難題に対処するために高速モジュール式計測器用の共通アーキテクチャとして、Synchronization and Memory Core(SMC)を設計しました。統合型ミックスドシグナルプロトタイプ作成・テストシステム作成に重要な SMC の主な機能には以下のようなものがあります。

1. 柔軟性に富んだ入力/出力データ転送コア
2. チャンネルにつき最大 512 MB に拡張可能な高速の大容量オンボードメモリ
3. 高精度タイミングおよび同期エンジン

サンプリングレートと柔軟性の両方を備えた、SMC ベースのミックスドシグナルテストシステムの構築に適した計測器には、以下の 3 製品があります。

200 MS/秒、12 ビットの高分解能デジタイザ (NI 5124)

200 MS/秒、16 ビット任意波形発生器 (NI 5422)

100 MHz デジタル波形発生器/アナライザ (NI 6552)

## 目次:

- ・柔軟性に富んだ入力/出力データ転送コア
- ・入力データ転送コア
- ・出力データ転送コア
- ・高速の大容量オンボードメモリ
- ・高精度タイミングおよび同期エンジン
- ・混合サンプリングレートの同期
- ・計測器ドライバソフトウェア
- ・高計測スループット
- ・まとめ

## 柔軟性に富んだ入力/出力データ転送コア

SMC アーキテクチャの中核をなすのは、FPGA (field-programmable gate array) コントローラである DSF (DataStream FPGA) で、計測器の "CPU" とも言われます。これはすべての指令を処理し、トリガを管理し、信号を外部にルーティングして、計測器とホストコンピュータ間の波形転送などを管理します。

DSF には、入力用と出力用の 2 つの主要なデータ転送コアが実装されています。入力コアは高速アナログ波形のデジタル化およびデジタル波形入力用に設計され、出力コアは高速アナログ波形生成およびデジタル波形出力用に設計されています。DSF のデータ転送コアは、データおよび指令の処理、イベントトリガの管理、トリガおよびマーカ信号のルーティング、波形バッファのリンクングとルーピング、デバイス間およびデバイス内での通信バスなどの処理を行います (図 1)。

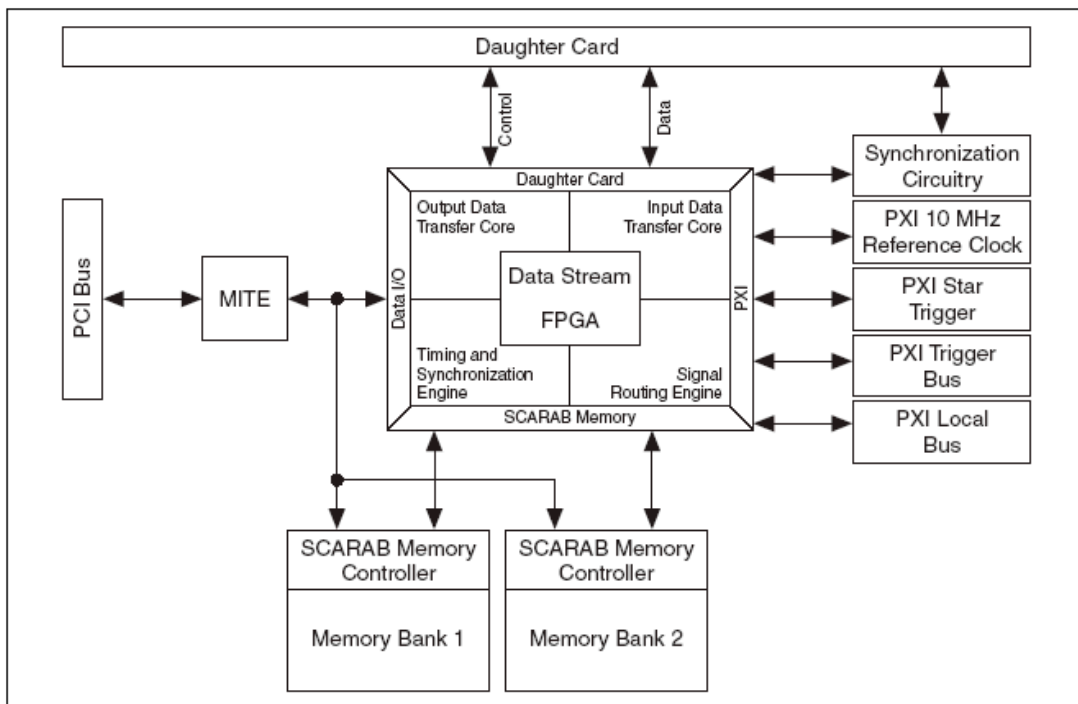
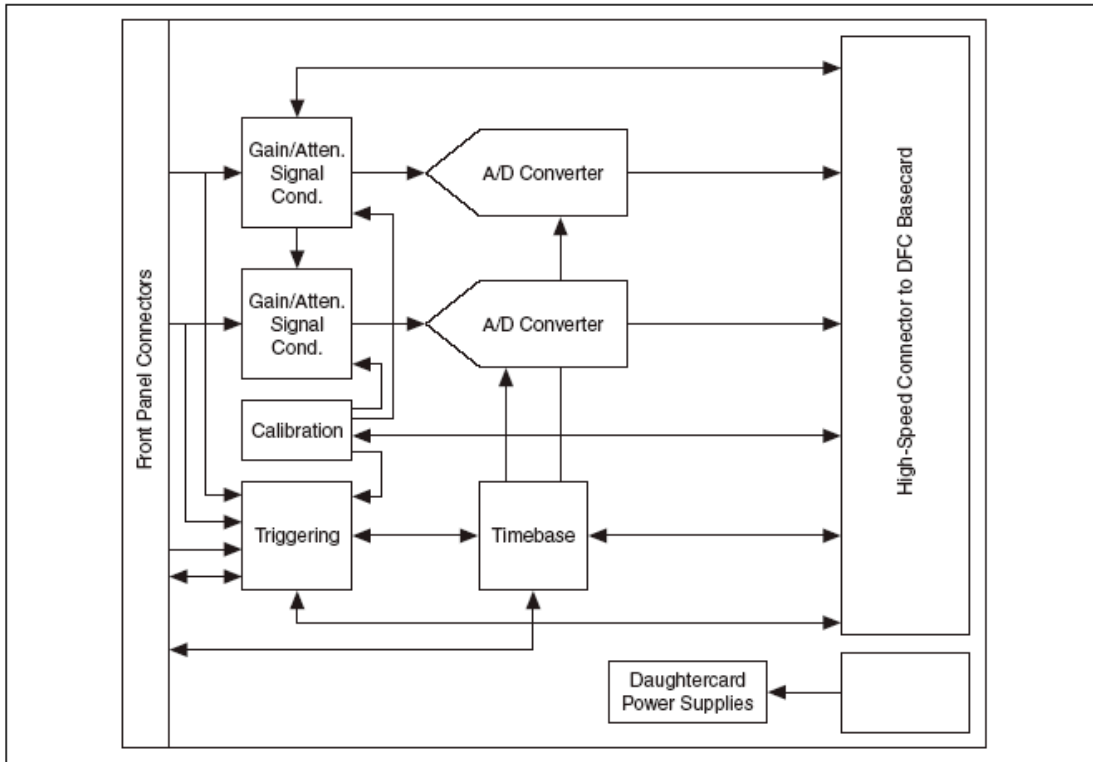


Figure 1. SMC Block Diagram

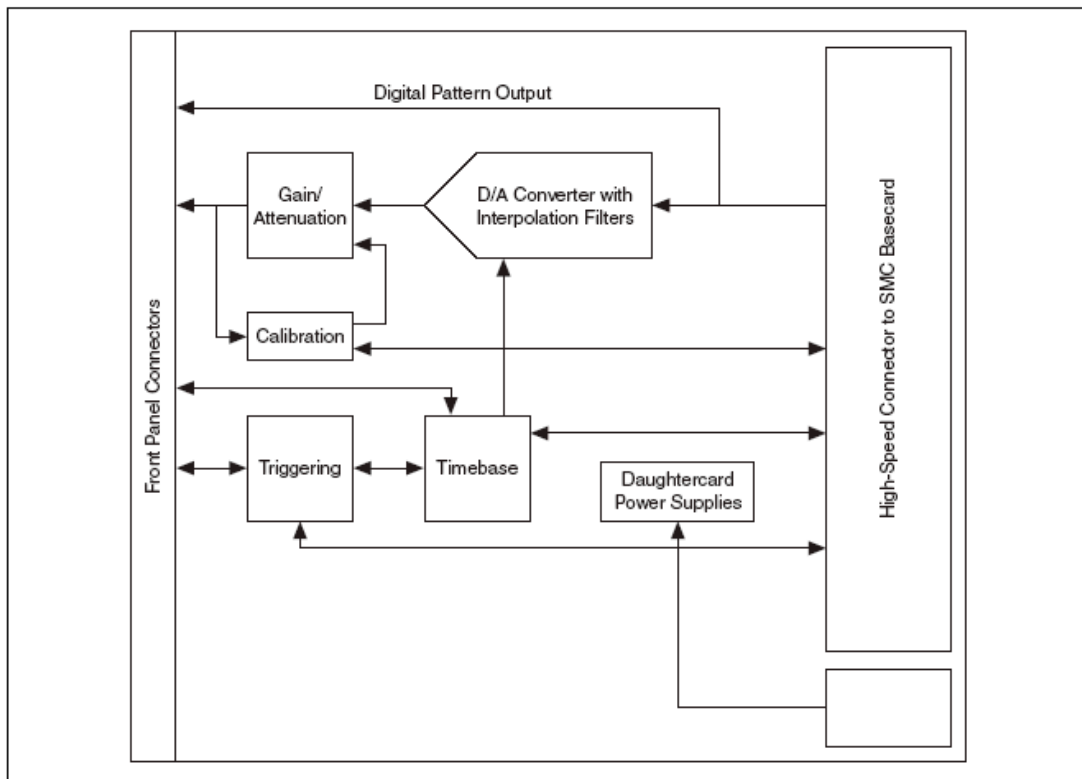
メモリスブシステムは2つのブロックからなり、それぞれを入力または出力バンクとして構成することができます。この構成では、高速2チャンネルデジタイザなどの2チャンネル入力デバイスで、両方のメモリバンクを使用してデータの集録を行います。単一チャンネルの任意波形発生器には、出力用に構成されたメモリブロックが1つ搭載されており、デジタル波形発生器/アナライザは1つのバンクを入力用に、もう1つを出力用に使用することができます。

各メモリブロックは最大で512MBの容量がありますので、計測器あたりの合計は1024MBになります。各メモリブロックは64ビット・133MHzの通信バスに接続され、1GB/秒の持続データ転送が可能となります。メモリスブシステムはNI-MITE ASICを介してPCIバスに最高通信速度で接続され、ホストコンピュータとSMCの間での波形の高速ダウンロード/アップロードを可能にします。

図2、3、および4は、高分解能デジタイザ、任意波形発生器、およびデジタル波形発生器/アナライザの子カードの詳細を示しています。



**Figure 2.** High-Resolution Digitizer Daughter Card Block Diagram



**Figure 3.** Arbitrary Waveform Generator Daughter Card Block Diagram

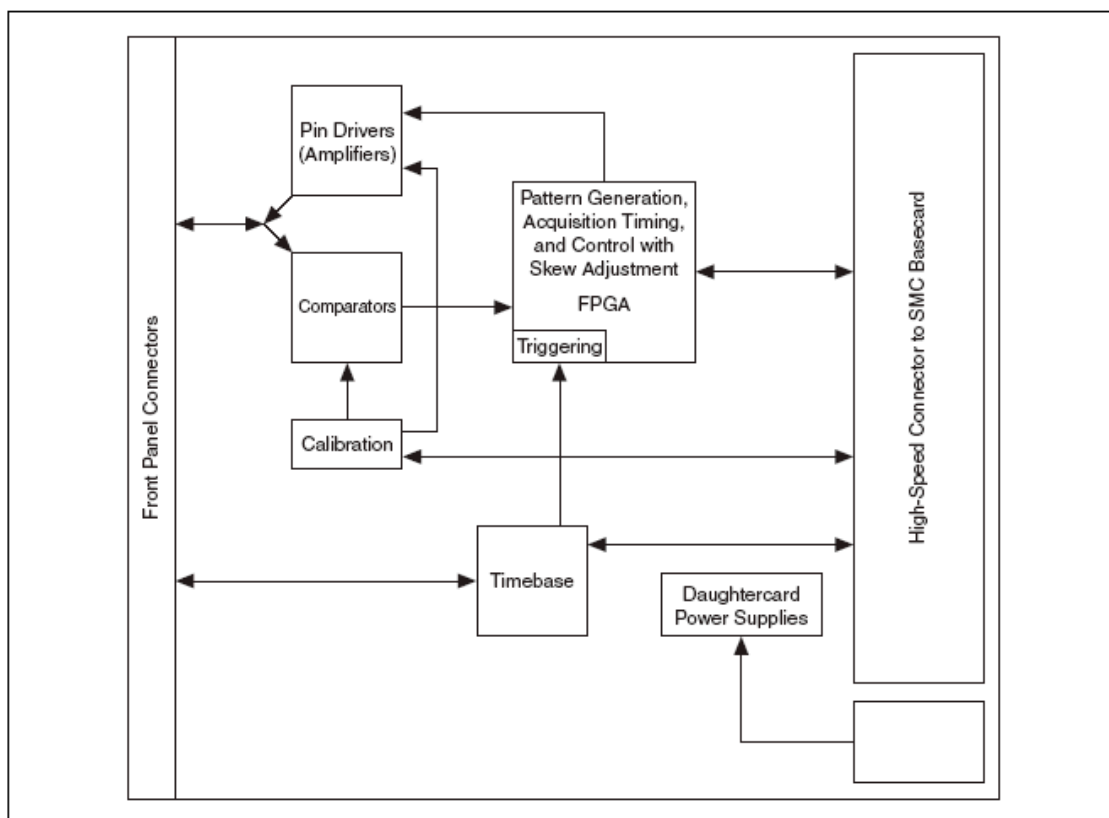


Figure 4. Digital Waveform Generator/Analyzer Daughter Card Block Diagram

## 入力データ転送コア

DSF 入力転送コアは、デジタル波形発生器/アナライザのデジタル波形入力や、高速デジタイザの AD コンバータ(ADC)からの高速データ入力ストリームなどを処理します。各集録したデータは独立したレコードに保存され、単一のバッファから 200 万を超える小さなレコードまで対応でき、レコード間の再アーミング時間が 2  $\mu$ s という速さで連続集録が可能です。オンボードの大容量メモリは、通信テストシステムにおける転送パケットの集録、クロックジッタの計測、エラー診断テストなどで必要とされる大量のデータレコードを、簡単に処理することができます。DSF タイミングおよび同期エンジンの特殊カウンタのおかげで、すべてのレコードは元のソースに対し時間相関することができます。たとえば、外部トリガ信号を使用する時、DSF は各集録したレコードに対して、トリガ信号との時間差を 10 ns の分解能でタイムスタンプすることが可能です。NI 5122 デジタイザでは、タイムスタンプの分解能は TDC(デジタル変換必要時間)技術によって 100 ps にまで上げることができます。大容量メモリ、メモリを複数レコードに分割化、100 ps のタイムスタンプ分解能、高速再アーミングなどの機能により、高いサンプリングレートを保ちながらきわめて頻度の少ないイベントや散発性のイベント、又は急速に発生するイベントなどを集録することも可能です。そのような機能によって、キャプチャした波形間の時間コヒーレンスを失わずに関心領域のみを集録することで、有効メモリサイズを増やすことができます。詳しくは、弊社のアプリケーションノート No. 117、

「High-Speed Event and Defect Detection with Real-Time Response」(英語)をご覧ください  
(ni.com/jp/info にアクセスの上、Info Code 欄に「jppn2t」と入力するとご覧いただけます。)

## 出力データ転送コア

NI 5421 任意波形発生器や NI 6552 デジタル波形発生器/アナライザなどの出力デバイスの場合、シーケンス指令は波形データと同じ物理メモリに保存されます。従来の任意波形発生器に採用されてきたアーキテクチャでは、波形のシーケンス指令は波形データと異なる数キロバイトの SRAM メモリに保存されていたため、シーケンス可能な波形の数が著しく制限されていました。SMC ではより柔軟性に優れた方法を採用し、シーケンス指令および波形データを同じ物理メモリに組み込むことが可能となり、メモリサイズによるシーケンス指令数の制約を受けることはありません。最大 512 MB のメモリがボード上に搭載され、シーケンス指令に必要なメモリを好きなだけ自由に使うことができます。以下の表 2～4 は任意波形発生器のシーケンス仕様を記載しています。表より波形と指令間の共有メモリの柔軟性を確認することができます。

表 1 は従来の任意波形発生器 (AWG) の波形メモリとシーケンス指令の構成例を記述しています。

**Table 1.** Traditional AWG Sequencing Specifications

Waveform Memory (samples)	Number of Storable Waveforms in Memory	Sequence Steps	Number of Loops per Step
4,000,000	4096	4096	65,535

従来の AWG には波形と指令のメモリ容量が固定され、上記の AWG はシーケンス内で 4,096 ステップを超えることはできません。8 MB の標準メモリを搭載した NI 5421 任意波形発生器は、波形と指令のメモリの共有が可能のため、表 2、3、4 に示すような柔軟性の高い構成が可能です。

**Table 2.** Memory Allocation for a Large Sequence

Waveform Memory (samples)	Number of Storable Waveforms in Memory	Sequence Steps	Number of Loops per Step
4,500	35	131,000	16,777,216

**Table 3.** Memory Allocation for a Sequence of 6000 Steps

Waveform Memory (samples)	Number of Storable Waveforms in Memory	Sequence Steps	Number of Loops per Step
4,002,264	62,535	6,000	16,777,216

**Table 4.** Memory Allocation for Large Waveforms

Waveform Memory (samples)	Number of Storable Waveforms in Memory	Sequence Steps	Number of Loops per Step
4,194,200	65,534	2	16,777,216

上の表に示す数値は、メモリを波形と指令で共有することにより達成可能な典型値です。共有メモリを使うと、短い波形で非常に長いシーケンス、非常に長い波形で短いシーケンス、あるいはその間を取るように、自由にメモリスペースを使用することができます。さらに、64MB および 512MB の大容量メモリオプションにより、最大シーケンス仕様が向上するとともに波形メモリも増えます。従来の AWG に大容量メモリが搭載されていても、波形メモリが増えるのみでシーケンスステップや波形セグメントは増えません。大容量の波形メモリは長い波形を処理可能ですが、場合によっては大容量波形メモリだけでは要件の厳しいアプリケーションに対処することはできません。異なる波形セグメントの複雑なシーケンス指令により、アプリケーションが必要とメモリ要件を低減することができます。

たとえばビデオ信号には、水平および垂直同期パルス、カラーバースト、垂直帰線区間のブランキングラインなど、多くの反復セグメントが含まれています。SMC 出力データ転送コアでは、各信号セグメントのコピーをメモリに保存することができ、セグメントの出力順番(リンキングとルーピング)をシーケンスに保存できます。そのようなアプリケーションの場合、大容量メモリバッファでも画像全体や複数の画像の保存には不十分かもしれませんが、画像の重要な部分とフレームの生成を指定するシーケンス指令リストを保存することにより対応可能になります。そのようなシーケンス指令が消費する容量は、従来の AWG で利用可能な数キロバイトの SRAM 指令メモリを簡単に超えてしまいます。SMC アーキテクチャなら、必要なフレームのセグメントと長いシーケンス指令を共有の大容量メモリに保存することにより、そのような問題を解決することができます。

SMC 出力エンジンは、表 5 に示すように複数のシーケンス指令を保存することができます。この機能と大容量メモリを組み合わせることで、異なるテストシーケンス指令を必要とする機能テストの

中で1つのシーケンス指令から別のシーケンス指令へすばやく切り替えることが可能になるため、テストスループットを大幅に向上させることができます。例として、ビデオ機材のテストには複数ある業界標準のテストパターンを生成する必要がありますが、この機能でパターンの生成をより迅速および連続的にすることが可能となります。

**Table 5.** Multiple sequence instruction lists can be loaded into memory at the same time.

Waveform 1	Waveform 2	• • •	Waveform <i>n</i>	Sequence Instructions 1	Sequence Instructions 2	• • •	Sequence Instructions <i>m</i>	Free Memory
---------------	---------------	-------	----------------------	-------------------------------	-------------------------------	-------	--------------------------------------	----------------

### 高速大容量オンボードメモリ

ビデオから通信まで、多くのアプリケーションで求められるのが、長い波形の生成および集録機能です。AWGを使ったビデオテスト画像生成、デジタル波形発生器/アナライザを使ったADCのスパークルコードテスト、デジタイザを使ったベースバンド変調器/復調器のエラーベクトル振幅(EVM)計測などは、波形の集録と生成に大容量のメモリを要する数多くのアプリケーションの一部です。

SMCの入力および出力データ転送コアは、メモリバンクと計測器の入出力電子部品間の波形を200 MHzで転送することを目的として設計されたものです。SMCには、DSFとともにナショナルインスツルメンツのSCARABメモリコントローラが組み込まれています。SCARABメモリコントローラは、メモリバンク、DSF、およびスキャタ/ギャザベースのDMAコントローラである当社のMITEの間のインタフェースを提供するものです。SCARABは、波形と指令がメモリのどこに保存されているかを効率的に追跡し、DSFやMITEからの要求により適切なデータを取り出します。この機能によって、最大サンプリングレートで実行しても、メモリとの間で波形のストリーミングを損なうことなく行うことが可能になるため、大容量の波形の集録や生成に対応することができます。SMC入力コアは、大容量メモリを2ポートFIFOバッファとして扱い、デジタイザのADCまたはデジタル波形発生器/アナライザのデジタルラインからのデータを、200 MHzの最大サンプリングレートでメモリバンクに書き込みます。さらにPCIバスで使用可能な帯域幅を全て使い、データをホストPCのメモリに高速ストリーミングします。

SMC出力コアは、メモリが波形と指令で共有されているため、メモリの処理方法が入力に比べ多少複雑になっています。AWGのD/Aコンバータまたはデジタル波形発生器/アナライザのデジタルラインに最大サンプリングレートの200 MHzでデータをストリーミングしながら、出力波形のシーケンス指令を波形データのストリーミングに妨害しないように読み取る必要があります。数十万個の指令におよぶ大規模なシーケンスになる可能性があり、DSFの限られる内部メモリにすべての



シーケンシング指令を生成開始時にコンパイルすることは不可能です。そのため、SCARAB は大容量メモリから 200 MHz の最大サンプリングレートで波形を取り出さなければならないばかりでなく、リアルタイムで実行するシーケンス指令を DSF に提供することも必要です。

## 参考資料

PXI Based Deep Memory Arbitrary Waveform Generators and Test Throughput

Benefits of Deep Memory in High-Speed Digitizers

([ni.com/jp/info](http://ni.com/jp/info) にアクセスの上、Info Code 欄にそれぞれの Info Code (「jpnxy」 「jpe82i」)を入力してご覧ください。)

## 高精度タイミングおよび同期エンジン

同期は、チャンネル拡張のために同じタイプの計測器を同期する場合(同種同期)や、2 つの異なる計測器の入力や出力を緊密に相関する場合(異種同期)に重要な役割を果たします。定義上ミックスドシグナルテストシステムでは、図 5 に示すように 3 つの計測器(デジタイザ、任意波形発生器、デジタル波形発生器/アナライザ)のうち少なくとも 2 つ使用することが条件となっています。同期を必要とするその他のアプリケーションには、通信におけるベースバンド I/Q 信号生成および集録、家庭電化製品における RGB ビデオ信号生成および集録、24 ビット ADC および DAC テスト用の 24 チャンネルデジタル波形生成および集録など、さまざまなものがあります。

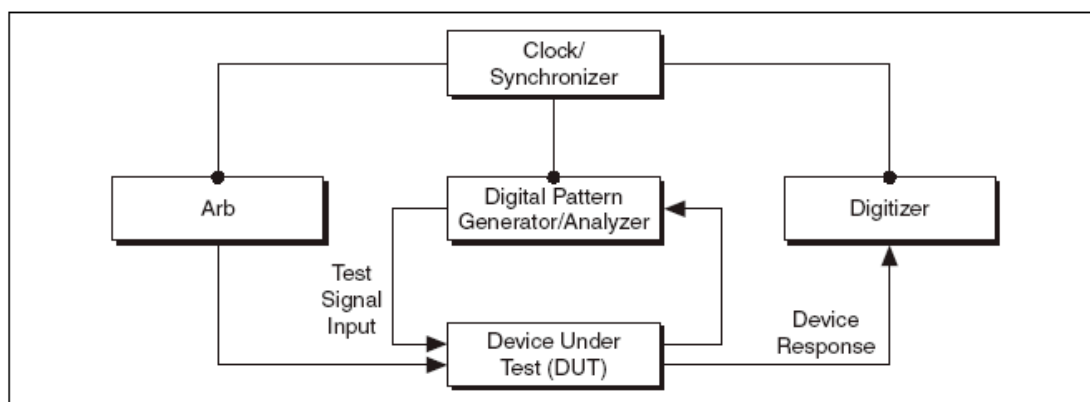


Figure 5. Typical Instrumentation Setup for Mixed-Signal Technology Test

同期の目的は、複数の SMC 計測器間で波形を正確に同時生成および受信できるようにすることです。たとえば任意波形発生器を 2 つ使用する場合、同期を達成するには、2 つの AWG が完全に整合して全く同一の波形を生成するか、または波形間の位相のズレを微調節することができなくてはなりません。3 つのデバイスすべてのサンプリングレートが高速であるため、それらのデバイス間でのクロックとトリガの分配にはそれなりの注意が払われます。数十ピコ秒の分解能でのサ

サンプルクロックスキュー調整、トリガ伝達遅延およびスキューキャリブレーション、全デバイス上のピコ秒レベルのクロックジッタ(実行値)などの機能により、ナノ秒以下のレベルにおいて、100 ~ 200MS/秒で3つのデバイスすべてを同期するのに求められる性能を実現します。

同期は、トリガとリファレンスクロックを複数のデバイス間で共有することによって実現します。リファレンスクロックは、指定のマスタデバイスあるいは専用の高精度クロックソースにより供給されます。各 SMC 計測器は、図 6 に示すように、電圧制御水晶発振器(VCXO)を搭載し PXI 10 MHz リファレンスクロックに位相ロックされています。さらにタイミング精度を高めるには、ルビジウムや恒温槽型発振器(OCXO)に基づいた周波数ソースなどのモジュールを利用する方法もあります。これらのデバイスの確度は  $\pm 100$  ppb(parts per billion)を上回る場合もあります。たとえば、 $\pm 100$  ppb 確度を持つ OCXO ソースは、10 MHz のクロックを生成時の誤差は  $\pm 1$  Hz となります。NI PXI-6653 タイミングおよび同期コントローラは、そのようなアプリケーションに最適です。搭載している OCXO クロックを、PXI バックプレーンクロックの代わりに 10 MHz のリファレンスクロックをライン上で駆動することが可能です。そのため、VCXO を搭載している全ての計測器がその 10 MHz にロックすると、すべてが  $\pm 100$  ppb の確度を備えることになります。

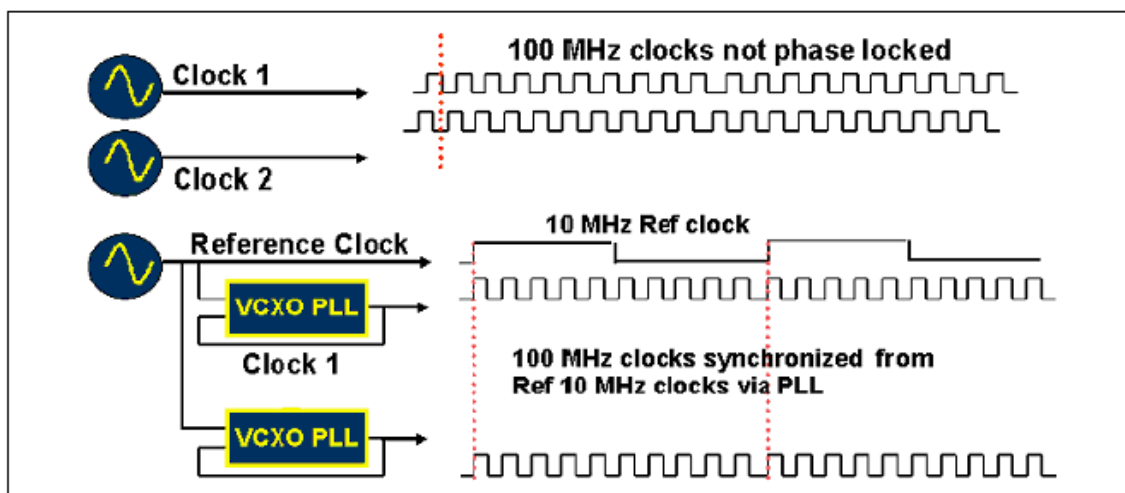


Figure 6. Illustration of High-Speed Sampling Clocks Synchronized Using PLL

### 混合サンプルレートの同期

ミックスドシグナルテストでは、異なるサンプリングレートで実行している計測器も同期をとる必要があります。データは各計測器の正しいサンプルクロックエッジでサンプリングしなければなりません。各計測器のサンプルクロックが 10 MHz リファレンスクロックの整数倍の場合、すべてのサンプルクロックの立ち上がりエッジは、10 MHz クロックエッジと同時に立ち上がります。したがって、すべての計測器のサンプルクロックが同期されたことになります。サンプルクロックが 25 MHz などのよ

うに整数倍でない場合は、10 MHz のリファレンスクロックに位相ロックしていたとしても、サンプルクロックが同調するという保証はありません(図 7)。この問題を解決するには、位相ロックループ(PLL)をすべて同時にリセットして、同じ周波数のサンプルクロックを同調させるのが一般的な方法です(図 8)。すべてのサンプルクロックはこの時点で同期していても、まだ完全ではありません。完全な同期とは、デバイス間で集録したデータが同じサンプルクロックサイクル内で集録したことを意味します。そのようにするには、マスタデバイスからスレーブデバイスにトリガを渡して、集録または生成の始まり時間を伝える必要があります。完全な同期を実現するには、サンプルクロックの調整とトリガの組み合わせが不可欠です。

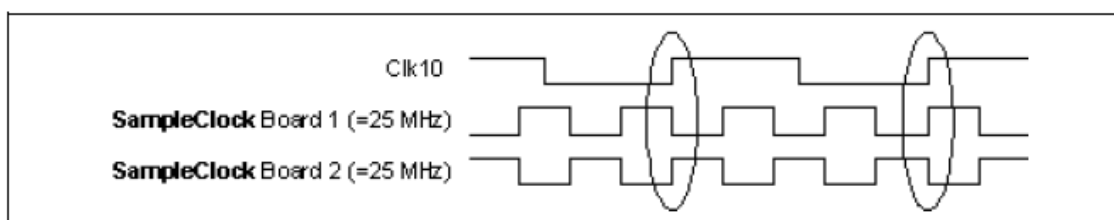


Figure 7. 25 MHz Sample Clocks Not Aligned

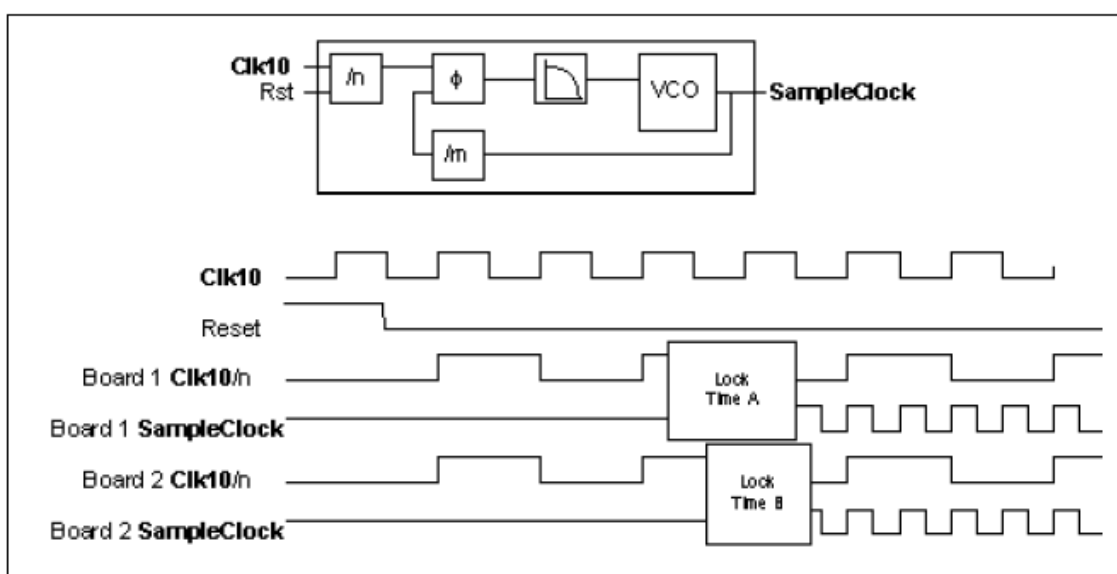


Figure 8. PLL Synchronization with Reset

複数のデバイス間でトリガ信号を分配するには、トリガ信号をサンプルクロックと関連付け、各デバイスが正しい時点でトリガ信号を感知させる必要があります。200 MS/秒のサンプルクロックレートの場合、トリガ伝播遅延とスロット間スキューが正確なトリガの分配の妨げとなります。その場合他の分配チャンネルが必要です。トリガ信号は遅いクロック領域を介して確実に分配され、それが受信側の計測器の高速サンプルクロック領域に再度変換されます。論理的には、トリガ信号

の分配を 10 MHz のリファレンスクロックで同期するべきですが、この構成でも 2 つのボードが同じサンプルクロックサイクル内でトリガ信号の受付を保証することはできません。この問題点を説明するため、10 MHz のリファレンスクロック領域からサンプルクロック領域へのトリガ変換用の 2 つのボードの回路が、図 9 に示すようなシンプルなものであると仮定します。

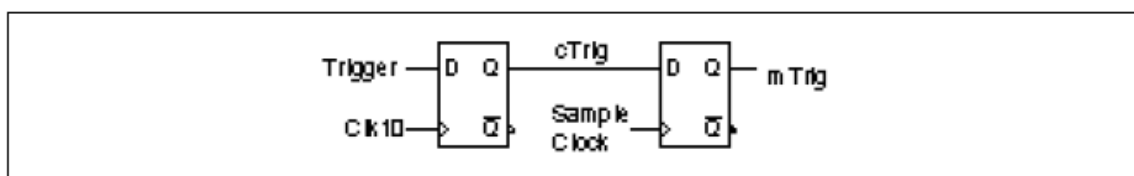


Figure 9. 10 MHz Reference Clock Domain to Sample Clock Domain Trigger Transfer

ボードのサンプルクロックが同調していても、両デバイスの同じサンプルクロックサイクル内でトリガが発生しない場合がある理由を、図 10 のタイミングダイアグラムに示します。

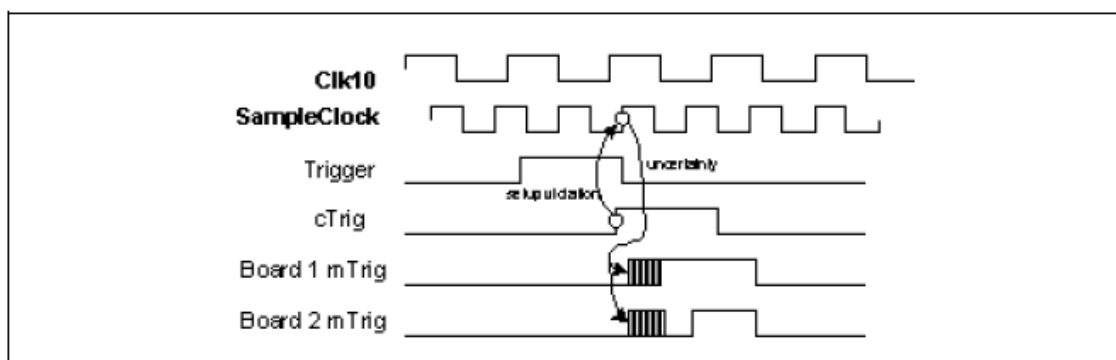


Figure 10. Effect of Metastability on Triggers

最初のフリップフロップ回路の出力 (cTrig) は、サンプルクロックの立ち上がりエッジに近すぎる可能性があるため、最後の出力の mTrig が不安定な状態に陥ることになります。各デバイスのフリップフロップ回路には異なる特性があるため、出力が安定するまで違う時間が必要となります。その安定するまでの時間差により、二つのデバイスでトリガが感知する瞬間がずれる可能性があります。

SMC では、特許出願中の独自のデジタル同期スキームを採用し、もう 1 つのクロック領域信号を使用してトリガの駆動と受信を行っています。この信号はトリガクロック (TCIk) と呼ばれ、サンプルクロックをベースにして生成した低周波数の信号です。トリガクロックの周波数は PXI トリガラインまたは RTSI (リアルタイムシステム統合バス) 上でのトリガ転送をより高い信頼性を求められるように調節されています。このテクニックにより、サンプルクロックと 10 MHz リファレンスクロックとの関係に左右されずに、計測器間での同期を実現することができます。

## 計測器ドライバソフトウェア

SMC とのインタフェースとして存在するドライバソフトウェアは、SMC の一部ではありませんが、柔軟性に富んだデータコア、大容量オンボードメモリ、タイミング/同期エンジンなどの利点を実現する上での重要なコンポーネントとなります。当社では、SMC とのインタフェースのために、新しい NI-DAQmx アーキテクチャに基づいた共通のドライバフレームワークを開発し、統合性と操作の効率性をさらに高めました。クロック処理、メモリ制御、信号ルーティング、PCI バスインタフェース、その他の機能面は、統一したソフトウェアにより、異なる製品ラインでも同じ機能を提供することができました。

NI-DAQmx アーキテクチャに基づいて開発された計測器ドライバには、デジタル波形発生器/アナライザ用の NI-HSDIO、高速デジタイザ用の NI-SCOPE、信号発生器用の NI-FGEN があります。これらのドライバは、PCI バス経由での波形の DMA 転送の高速化や、オペレーティングシステムのカーネル遷移を最小限に抑えたマルチスレッドアーキテクチャによる並列実行など、多くの点で改良を加えることによって、高い計測スループットを実現しています。

## 高い計測スループット

SMC アーキテクチャの開発にあたって重要な条件となるのが、高い計測スループットです。製造テストと設計検証・確認は、テストスループットの継続的な向上を求められる分野です。SMC では、PCI バス経由でデータ転送を行うために開発された ASIC である NI MITE を採用しています。すばやいバースト転送しかできない多くの市販 PCI バスマスタリングチップと異なり、MITE はバーストだけでなく連続データ転送にも対応し、最適化されています。NI-DAQmx アーキテクチャを使用することにより、SMC ベースの計測器はそれまでの性能を上回り、波形転送において 10~17%の向上を実現することができました。図 11 は、ソフトウェアアーキテクチャの改良と最適化されたハードウェアによる性能の向上を示しています。グラフには3つの標準パルス測定が表示されています。最も高速なのは NI 5122 で、 GPIB 制御のオシロスコープの 47~210 倍の速度を誇ります。また、ソフトウェアを改善することによって、ナショナルインスツルメンツの従来のデジタイザに比べ、計測速度がわずかですが明らかに向上しているのがわかります。

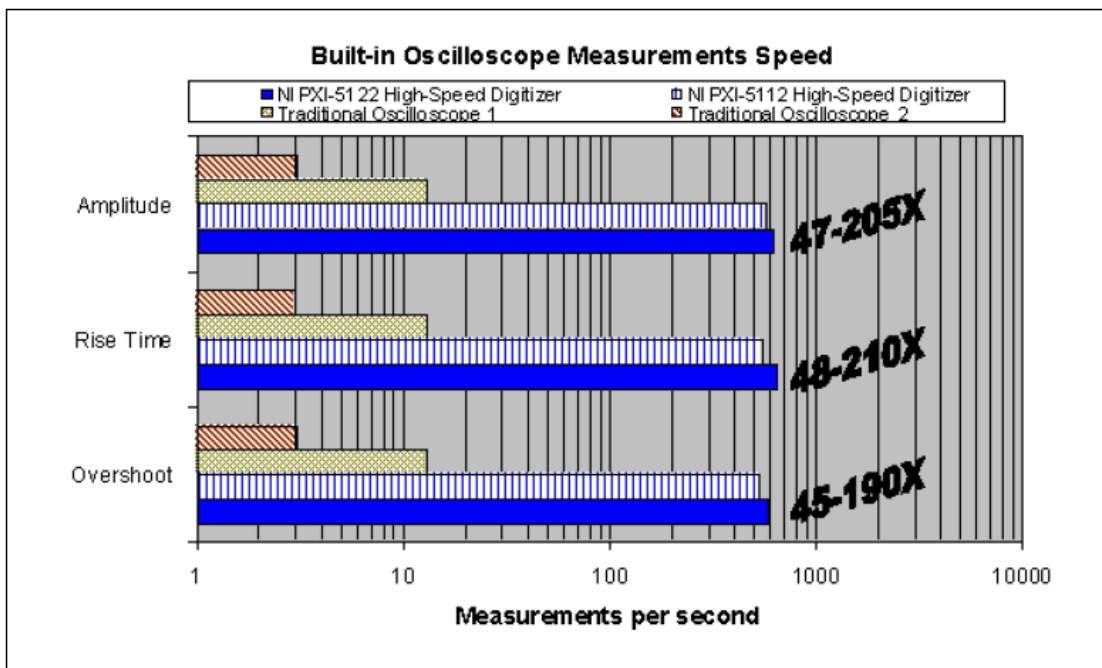


Figure 11. The PCI bus delivers significant increases in measurement speed, resulting in increased test throughput.

## まとめ

SMC という 100 ~ 200MS/秒のミックスドシグナルテストシステム用の共通アーキテクチャを提供することによって、デジタル信号とアナログ信号が混合したシステムでもテストできるようになりました。緊密なタイミングと同期、柔軟性に富んだ大容量オンボードメモリ、完全にプログラム可能なデータ転送コアなどを特徴とする SMC は、ミックスドシグナルモジュール式計測テストプラットフォームとして、現在および将来でも優れたアーキテクチャです。