

IEEE488.2 Controller Chip-

NAT9914

TI TMS9914A とピン互換

NEC μ PD7210 または TI TMS9914A コントローラとソフトウェア互換

低電源消費

IEEE488.2 の必要条件すべてに準拠：

バスライン監視、サービスリクエストのより望ましい導入

リスナがない場合メッセージを送信しない

IEEE488.1 インタフェース機能の全てを実行

プログラム可能なデータ転送レート (350ns、500ns、1.1 μ s および 2 μ s の T1 遅延)

自動 EOS および/または NL メッセージ検出

ダイレクト・メモリ・アクセス(DMA)

IEEE488 コマンドの自動処理および未定義コマンドの読み取り



TTL 互換 CMOS デバイス

最高 20MHz のプログラム可能なクロック・レート

ドライバのオーバーヘッドを軽減

データ転送中に ATN がアサートされた場合のデータ保護

概要

NAT9914 IEEE488.2 コントローラチップはIEEE 規格 488.1-1987 によって定義されたインタフェース機能の全てを実行し、また IEEE488.2-1987 によって推奨および必要とされる追加機能の全てを満たします。プロセッサと IEEE488 バスを接続する NAT9914 は IEEE488 バスの高レベル管理を実行、ドライバソフトのスループットを大幅に向上し、ハードウェアとソフトウェアの設計を簡易化します。また、NAT9914 は IEEE488 トーク、リスナ、コントローラ機能を完全に実行します。様々な改善に加え、NAT9914 は TI TMS9914A との完全なピン互換があり、NEC μ PD7210 および TI TMS9914A とのソフトウェア互換があります。

IEEE488.2 概要

IEEE488.2 規格は計測器やコントローラの仕様を規格化する事により、IEEE488.1 の不明瞭な点を取り除きます。全ての IEEE488.2 計測器は、この規格によるデータ形式、ステータス報告、エラー処理および一般の設定コマンドに対し、同様の処理を行なう必要があります。また、この規格はコントローラの必要機能を定義します。IEEE488.2 の採用によりシステムの互換性と信頼性が高まる為、開発時間やコストの削減などのメリットが得られます。NAT9914 は TI TMS9914A の 40 ピンおよび 44 ピン配置の互換性を持ちながら、IEEE488.2 の全てのメリットに加え、数多くの設計デザインやパフォーマンスによるメリットをエンジニアに提供する事ができます。

一般

NAT9914 は IEEE488 バスを管理します。適当なレジスタに制御コマンドを書き込む事によって、IEEE488 バスの管理を行います。ステータス・レジスタを CPU から読み取る事により、管理状況を確認します。レジスタの機能は NAT9914 の設定モードによって異なります。電源投入時またはリセット時では NAT9914 レジスタは TMS9914A レジスタ・セットに加え、追加機能や IEEE488.2 に対する互換性のためのレジスタを提供します。このモードでは NAT9914 は TI TMS9914A とピン配置において完全な互換性があります。7120 モードを使用した場合、レジスタは NEC μ PD7210 レジスタ・セットに加え、追加機能や IEEE488.2 に対する互換性のためのレジスタを提供します。このモードでは NEC μ PD7210 とピン配置においての互換性はありません。図 4 は NAT9914 のブロック・ダイアグラムを表します。

IEEE488.2 Controller Chip-

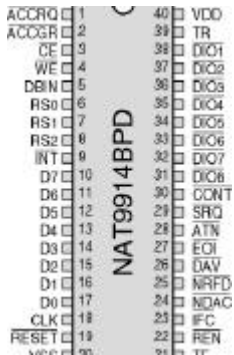


図 1. NAT9914BPD

ピン配置

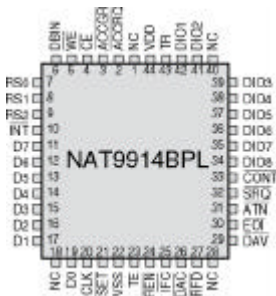


図 2. NAT9914BPL

ピン配置

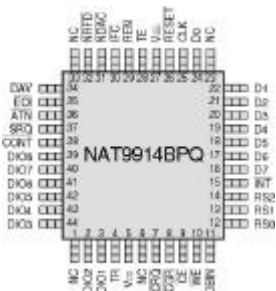


図 3. NAT9914BPQ

ピン配置

ピン番号			信号名	タイプ	機能概要
PLCC	DIP	QFP			
11,12,13,	10,11,12	16,17,18	D(7-0)	I/O*	双方向 3-ステート データバスは NAT9914 と CPU 間でコマンド、データ、ステータスを転送します。D0 が MSB(Most Significant Bit)です。
14,15,16,	13,14,15	19,20,21			
17,18,19	16,17	22,24			
4	3	9	CE*	I	Chip Enable ラインを使用する事により、書き込み、読み取り操作や RS(2-0)ラインで指定した内部レジスタにアクセスできます。
6	5	11	DBIN	I†	Data Bus Input ラインを使用する事により、RS(2-0)および CE で指定したレジスタの内容をデータバス D(7-0)に送る事ができます。DBIN の極性は DMA 転送時に逆転します。
5	4	10	WE*	I†	Write Enable ラインを使用する事により、データバス D(7-0)の内容を RS(2-0)で指定したレジスタに書き込みます。
3	2	8	ACCCRQ*	I†	Access Grant 信号により、現在の読み取りまたは書き込みサイクルに対して DIR または CDOR を選択します。
2	1	8	ACCRQ*	O	Access Request 出力をアサートする事により、DMA Acknowledge サイクル要求を行ないます。
20	18	25	CLK	I†	CLK は最高 20MHz まで入力できます。
21	19	26	RESET*	I†	RESET 入力をアサートする事により、NAT9914 を初期化し、アイドル状態にします。
10	9	15	INT* (OC)	O	割り込み出力はマスク解除された割り込み状態が真の時にアサートします。NAT9914 は INT を High に駆動しないため、外部レジスタによりプル・アップする必要があります。
9,8,7	8,7,6	14,13,12	RS(2-0)	I†	Register Selects により、読み取りまたは書き込みサイクル時にアクセスするレジスタを指定します。
25	23	30	IFC*	I/O*** (OC)	IEEE488 インタフェース機能を初期化する双方向制御ラインです。
24	22	29	REN*	I/O+ (OC)	デバイスのリモートまたはローカル制御を指定する双方向制御ラインです。
31	28	36	ATN*	I/O+	DIO ライン上のデータがインタフェース・メッセージであるかデバイス・メッセージであることを示す双方向制御ラインです。
32	29	37	SRQ*	I/O+	コントローラからのサービスを要求する双方向制御ラインです。
34,35,36,37 38,39,41,42	31,32,33,34 35,36,37,38	39,40,41,42, 43,44,2,3	DIO(8-1)*	I/O+	8 ビット双方向 IEEE488 データバスです。
29	26	34	DAV*	I/O+	DIO(8-1)ライン上のデータが有効であることを示すハンドシェイク・ラインです。
27	25	32	NRFD*	I/O+	デバイスがデータ受信可能であることを示すハンドシェイク・ラインです。
26	24	31	NDAC*	I/O+	メッセージの受信が完了したことを示すハンドシェイク・ラインです。
30	27	35	EOI*	I/O+	データ・メッセージの最後のバイトあるいはパラレル・ポールの実行を示す双方向制御ラインです。
23	21	28	TE	O*	Talk Enable は IEEE488 データ・トランシーバの入出力方向を指定。

IEEE488.2 Controller Chip-

ピン番号			信号名	タイプ	機能概要
PLCC	DIP	QFP			
43	39	4	TR	O ⁺	トリガラインはトリガ条件が満たされるとアサートします。
33	30	38	CONT*	O ⁺	NAT9914 がコントローラ・イン・チャージ時にアサートします。
44	40	5	VDD	-	+5V(±5%)の電源ピンです。
22	20	27	VSS	-	0V のグラウンド・ピンです。
1,18,28,40	-	1,6,23,33	NC	-	ノンコネクトです。

OC=オープン・コレクタ

+ ピンは 25k から 100k の内部プル・アップ レジスタを含みます。

* 負理論

++CLK 信号の周波数が 8MHz 以上のコントローラ・アプリケーションである場合、IFC は 4.7k 抵抗でプル・アップする必要があります。

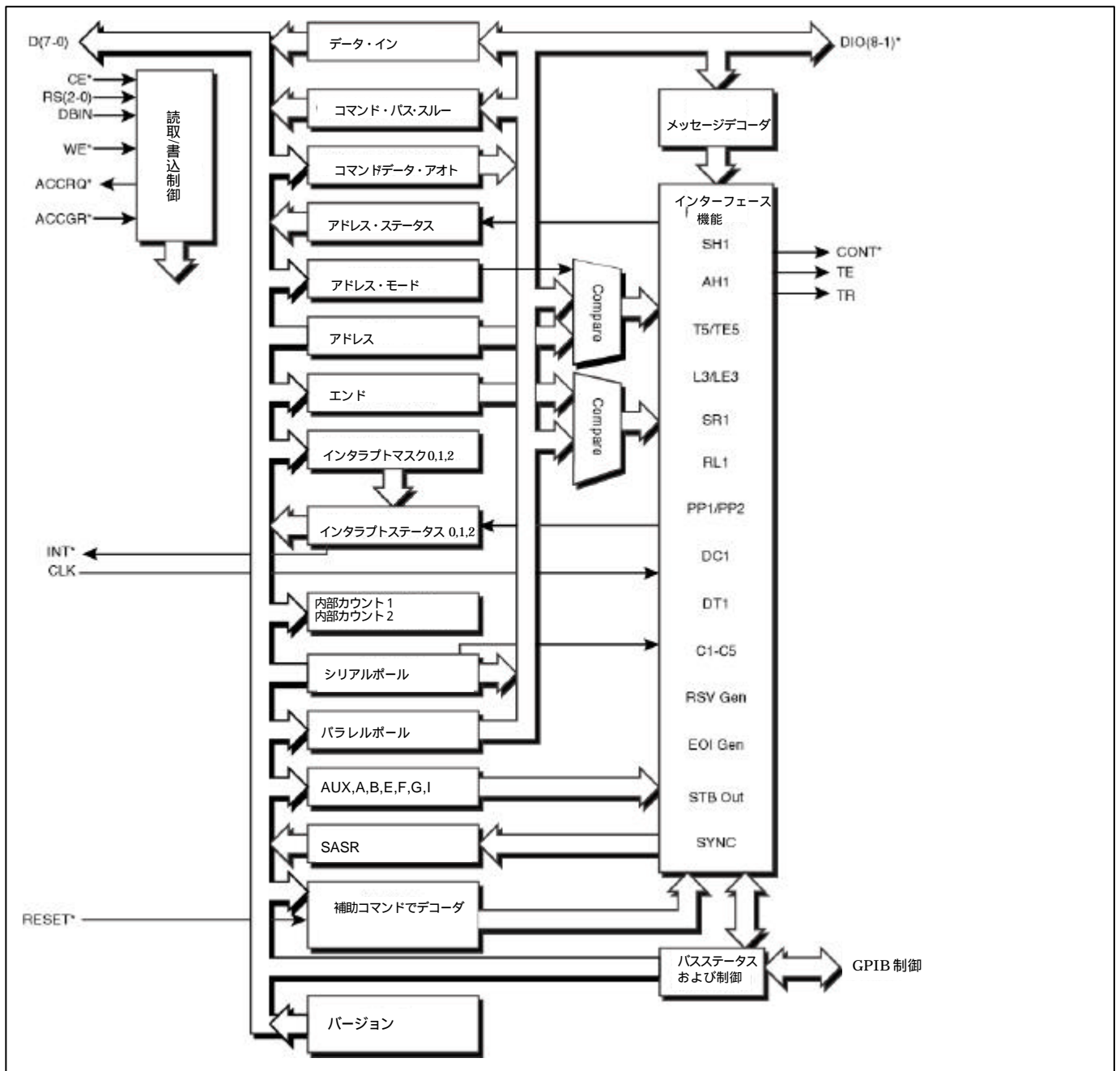


図 4. NAT9914 ブロック・ダイアグラム

IEEE488.2 Controller Chip-

9914 モード・レジスタ

I4 モードでは、NAT9914 レジスタは TI TMS9914A レジスタの全てに加え、2 種類の追加レジスタである新規レジスタおよびページ・イン レジスタを提供します。NAT9914 は、使用されていない 9914 アドレス領域に新規レジスタを定義します。また、ページ・イン補助コマンド発行後、オフセット 2 にて各ページ・イン レジスタにアクセスする事ができ、これらのレジスタは同じ領域にて別のレジスタにアクセスするか、リセットコマンドを発行するまで有です。以下のテーブルに、9914 レジスタセットにある全てのレジスタを示します。これらに関する詳細は ni.com にある NAT9914 Reference Manual を参照して下さい。

9914 レジスタ セット

Register	Page-IM	RS(2-0)	WE*	DBIN	CE	ACCGR*
インタラプトステータス 0	U	0 0 0	1	1	0	1
インタラプトマスク 0	U	0 0 0	0	0	0	1
コマンド・データ・アウト	U	0 0 1	1	1	0	1
インタラプトマスク 1	U	0 0 1	1	0	0	1
アドレスステータス	U	0 1 0	1	1	0	1
インタラプトマスク 2+	P	0 1 0	0	0	0	1
エンド	P	0 1 0	0	0	0	1
バス制御	P	0 1 0	0	0	0	1
アクセサリ	P	0 1 0	0	0	0	1
バスステータス	U	0 1 1	1	1	0	1
補助コマンド	U	0 1 1	0	0	0	1
インタラプトステータス 2+	P	1 0 0	1	1	0	1
アドレス	U	1 0 0	0	0	0	1
シリアルボールステータス+	P	1 0 1	1	1	0	1
シリアルボールモード	U	1 0 1	0	0	0	1
コマンドバススルー	U	1 1 0	1	1	0	1
パラレルボール	U	1 1 0	0	0	0	1
デハ・タ・イン	U	1 1 1	1	1	0	1
デハ・タ・イン	U	X X X	X	0	X	0
コマンド・データ・アウト	U	1 1 1	0	0	0	1
コマンド・データ・アウト	U	X X X	0	1	X	0

記号「f」は TMS9914A に含まれない機能 (レジスタや補助コマンド) を表します。

ページ・インの列に関する追記

U = ページ・イン補助コマンドはレジスタのオフセットに影響を及ぼしません。

P = レジスタのオフセットはページ・イン補助コマンドの発行後のみ有効です。

7210 モード・レジスタ

NAT9914 レジスタは NEC μPD7210 レジスタの全てに加え、2 種類の追加レジスタである追加補助レジスタおよびページ・イン レジスタを提供します。追加補助レジスタへの書き込みは、μPD7210 に含まれる補助レジスタ同様に行います。ページ・イン コマンドの命令発行後、μPD7210 レジスタと同じオフセットにてページ・イン レジスタにアクセスできます。次の CPU によるアクセスが終了すると、レジスタは元の状態に戻ります。以下のテーブルに、7210 モード・レジスタセットにある全てのレジスタを示します。これらに関する詳細は ni.com にある NAT9914 Reference Manual を参照して下さい。

7210 レジスタセット

Register	Page-IM	A(2-0)	WE*	DBIN	CE	ACCGR*
デハ・タ・イン	U	0 0 0	1	1	0	1
デハ・タ・イン	X	X X X	X	0	X	0
コマンド・データ・アウト	U	0 0 0	0	0	0	1
コマンド・データ・アウト	X	X X X	0	1	X	0
インタラプトステータス 1	U	0 0 1	1	1	0	1
インタラプトマスク 1	U	0 0 1	0	0	0	1
インタラプトステータス 2	U	0 1 0	1	1	0	1
インタラプトマスク 2	U	0 1 0	0	0	0	1
シリアルボールステータス	N	0 1 1	1	1	0	1
シリアルボールモード	N	0 1 1	0	0	0	1
バージョン	P	0 1 1	1	1	0	1
内部カウンタ 2	P	0 1 1	0	0	0	1
アドレスステータス	U	1 0 0	1	1	0	1
アドレスモード	U	1 0 0	0	0	0	1
コマンドバススルー	N	1 0 1	1	1	0	1
補助モード	U	1 0 1	0	0	0	1
ソース・アクセプタ ステータス+	P	1 0 1	1	1	0	1
アドレス 0	N	1 1 0	1	1	0	1
アドレス	N	1 1 0	0	0	0	1
インタラプトステータス 0+	P	1 1 0	1	1	0	1
インタラプトマスク 0+	P	1 1 0	0	0	0	1
アドレス 1	N	1 1 1	1	1	0	1
エンド	N	1 1 1	0	0	0	1
バスステータス+	P	1 1 1	1	1	0	1
バスコントロール+	N	1 1 1	0	0	0	1

記号「f」は μPD7210 に含まれない機能 (レジスタや補助コマンド) を表します。

ページ・インの列に関する追記

U = ページ・イン補助コマンドはレジスタに影響を及ぼしません。

N = レジスタのオフセットはページ・イン補助コマンドの発行直後以外は常に有効です。

P = レジスタのオフセットはページ・イン補助コマンドの発行直後時のみ有効です。

IEEE488.2 Controller Chip-

DC 特性

$T_A 0-70$; $V_{CC}=5V \pm 5\%$

パラメタ	記号	範囲		単位	テスト状況
		最小	最大		
電圧入力(低)	V_L	-0.5	+0.8	V	-
電圧入力(高)	V_H	+2.0	V_{CC}	V	-
電圧入力(低)	V_{OL}	0	0.4	V	-
電圧入力(高)	V_{OH}	+2.4	VCC	V	-
入力/出力 漏れ電流	-	-10	+10	μA	内部プル・アップ 不使用
入力/出力 漏れ電流	-	-200	+200	μA	内部プル・アップ 使用
供給電流	-	-	45	mA	-
出力電力 (ACC 以外全てのピン)	I_{OL}	2	-	mA	0.4V @ I_{OL}
ACCRQ	I_{OL}	4	-	mA	0.4V @ I_{OL}
入力電力(低)	I_L	-	-0.5	mA	
供給電圧	V_{DD}	4.75	5.25	V	

静電容量

$T_A 0-70$; $V_{CC}=5V \pm 5\%$

パラメタ	記号	範囲		単位	テスト状況
		最小	最大		
入力容量	C_{IN}	-	10	pF	-
出力容量	C_{OUT}	-	10	pF	-
I/O 容量	$C_{I/O}$	-	10	pF	-

タイミング特性

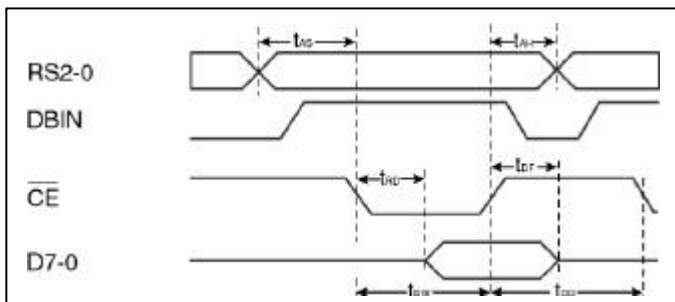


図 5 CPU リード

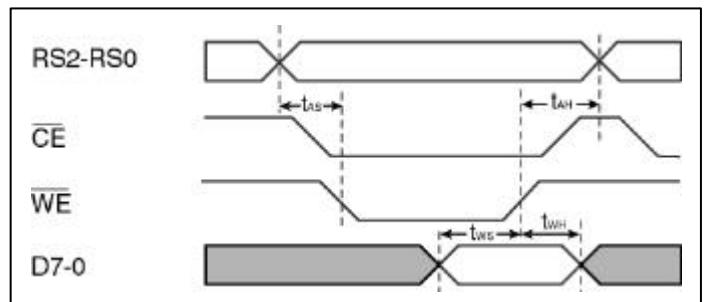


図 7 CPU ライト

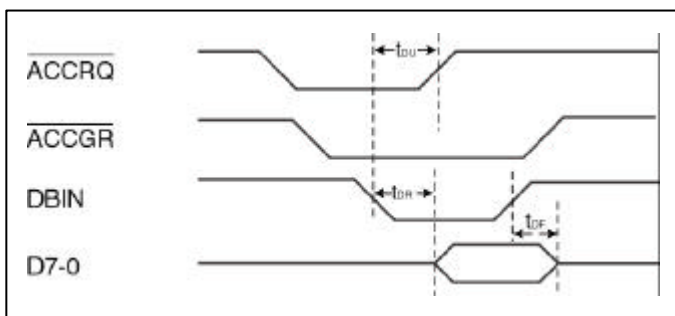


図 6 DMA リード

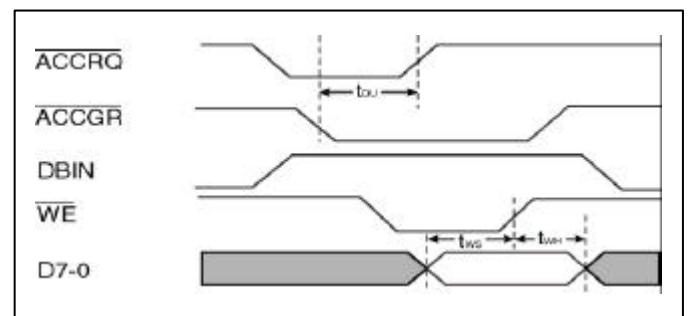


図 8 DMA ライト

絶対最大定格

プロパティ	範囲
供給電圧 (V_{DD})	-0.5 ~ +7.0V
入力電圧 (V_I)	-0.5 ~ $V_{DD}+0.5V$
動作温度範囲 (T_{OPR})	-0 ~ +70
保存温度範囲 (T_{STG})	-40 ~ +125

備考：デバイスは上記の環境範囲外に置かれた場合、回復不能な損傷を引き起こす事があります。デバイスは上記の動作環境範囲外で使用する事を前提としておりません。また、長期間に渡り最大定格に置かれた場合、信頼性に影響を及ぼす可能性があります。

AC 特性

$T_A 0-70$; $V_{CC}=5V \pm 5\%$

パラメタ	記号	範囲		単 位	テスト 状況
		最小	最大		
CE、WE および DBIN からのアドレスホールド	t_{H}	0	-	ns	-
CE、WE および DBIN からのアドレスセットアップ	t_{S}	0	-	ns	-
CE または DBIN からのデータ移動	t_{F}	-	20	ns	-
DBIN からのデータ遅延	t_{BR}	-	75	ns	ACCGR=0
ACCRQ のアンアサート	t_{HI}	-	20	ns	?
CE からのデータ遅延	t_{RD}	-	80	ns	ACCGR=1
CE リカバリ幅	t_{RR}	80	-	ns	-
CE パルス幅	t_{PW}	80	-	ns	-
WE からのデータホールド	t_{WH}	0	-	ns	-
WE からのデータセットアップ	t_{WS}	60	-	ns	-

注記：

- * t_S は CE もしくは WE のうち、後に発生した信号までのセットアップ時間です。
- * t_{HI} は WE もしくは CE のうち、先に発生した信号までのホールド時間です。

IEEE488.2 Controller Chip-

ソース・ハンドシェイク

パラメータ	信号	範囲 (ns)		テスト状況
		最小	最大	
NDAC からDAV	\overline{IND}	-	40	-
NDAC からINT または ACCRQ	\overline{INI}	-	40	INT(DOIE Bit=1) ACCGR (DMAO Bit=8)
WE からDAV	\overline{IND}	2000	2180	2 μ s T1, 5MHz
WE からDAV	\overline{IND}			1.1 μ s T1, 5MHz
WE からDAV	\overline{IND}			500ns T1, 5MHz
WE からDAV	\overline{IND}			350ns T1, 5MHz

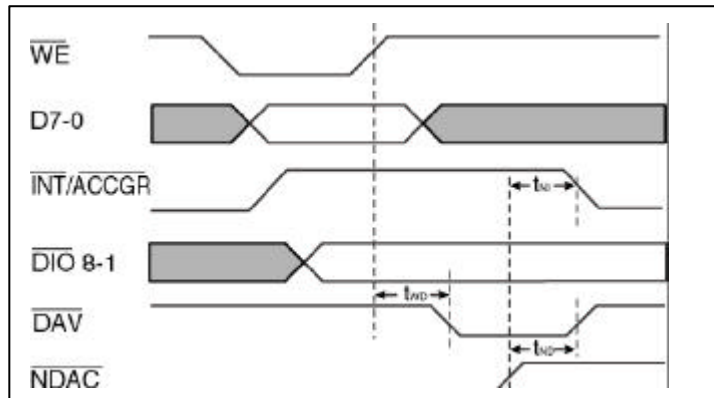


図 9 ソース・ハンドシェイク・タイミング

アクセプタ・ハンドシェイク

パラメータ	信号	範囲 (ns)		テスト状況
		最小	最大	
DAV からNDAC	\overline{IND}		35+3T	
DAV からNDAC	\overline{INF}		25	
DAV からINT または ACCRQ	\overline{INI}		50+2T	INT(DIIE Bit=1) ACCGR(DMAI Bit=1)
DAV からNRFD				
DBIN からNRFD				ホールドオフ状態ではない DIR の読取り

図 9 ソース・ハンドシェイク・タイミング

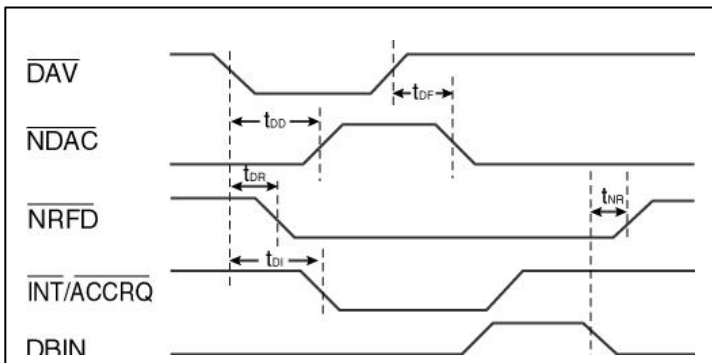


図 10 アクセプタ・ハンドシェイク・タイミング

ATN に対する応答

パラメータ	信号	範囲 (ns)		テスト状況
		最小	最大	
ATN からNRFD	\overline{AN}		35	アクセプタ。ハンドシェイクホールドオフ
ATN からNDAC	\overline{AN}		35	AIDS ANRS
ATN からTE	\overline{AT}		30	TACS TADS

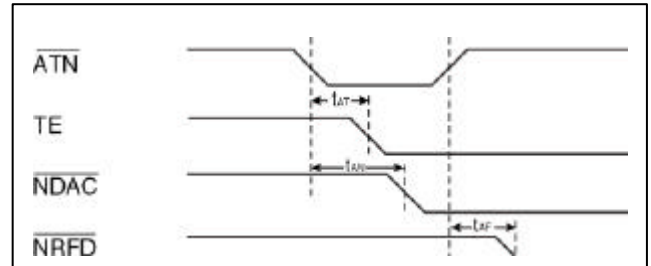


図 11 ATN 応答タイミング

パラレルボール

パラメータ	信号	範囲 (ns)		テスト状況
		最小	最大	
EOI からDIO 有効	\overline{EN}		90	PPSS PPAS
EOI からTE	\overline{ET}		30	PPSS PPAS
EOI からTE	\overline{ET}		30	PPAS PPSS

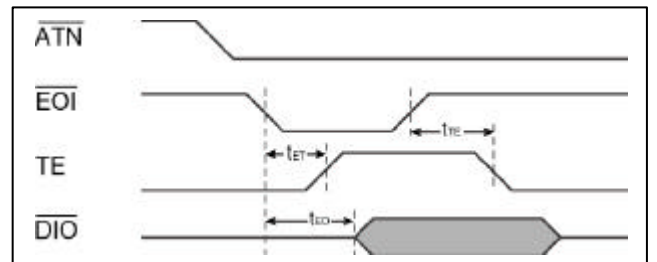


図 12 パラレル・ボール応答タイミング

IEEE488.2 Controller Chip-

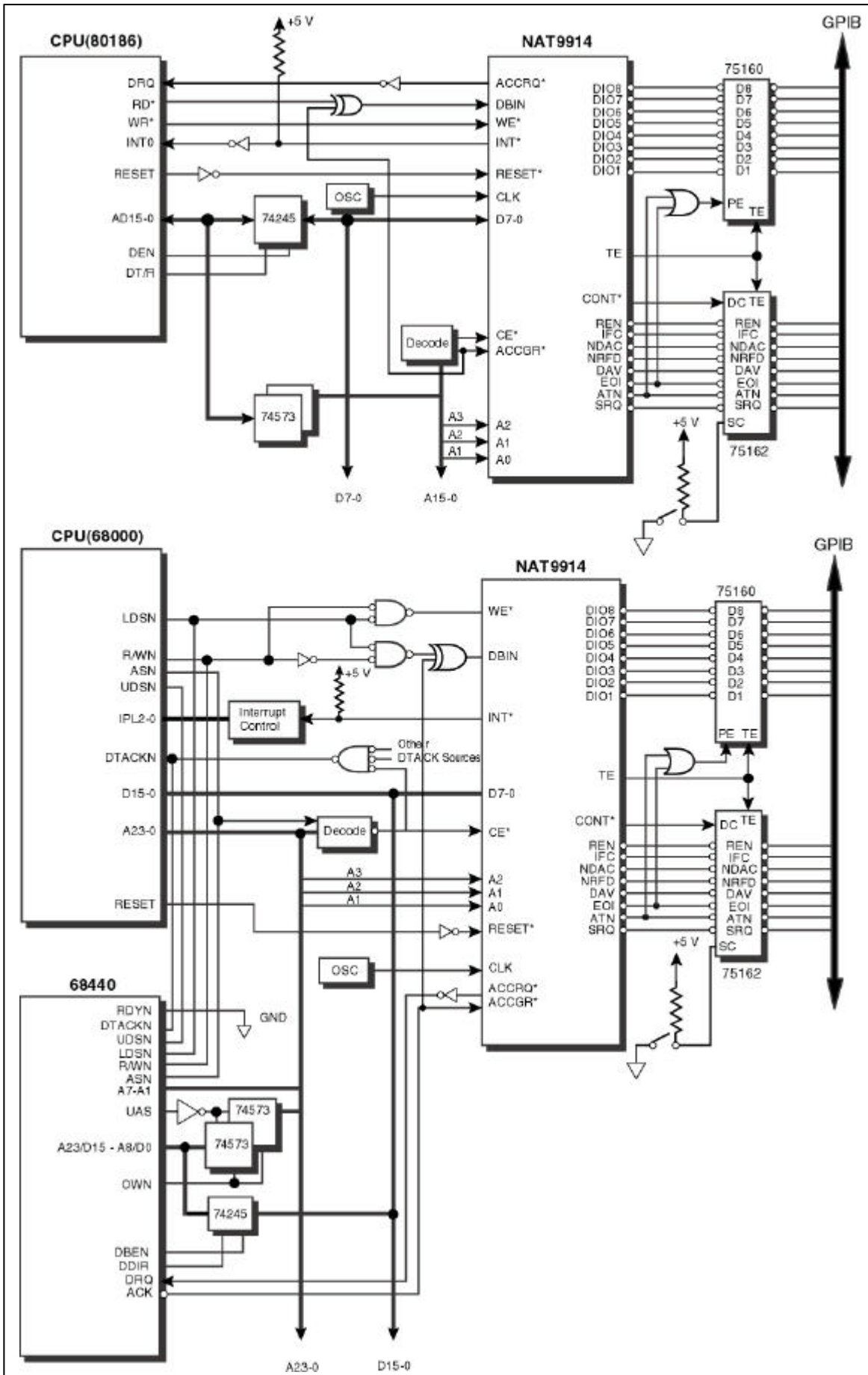


図 13 一般的な CPU システムと NAT9914 のインターフェース

IEEE488.2 Controller Chip-

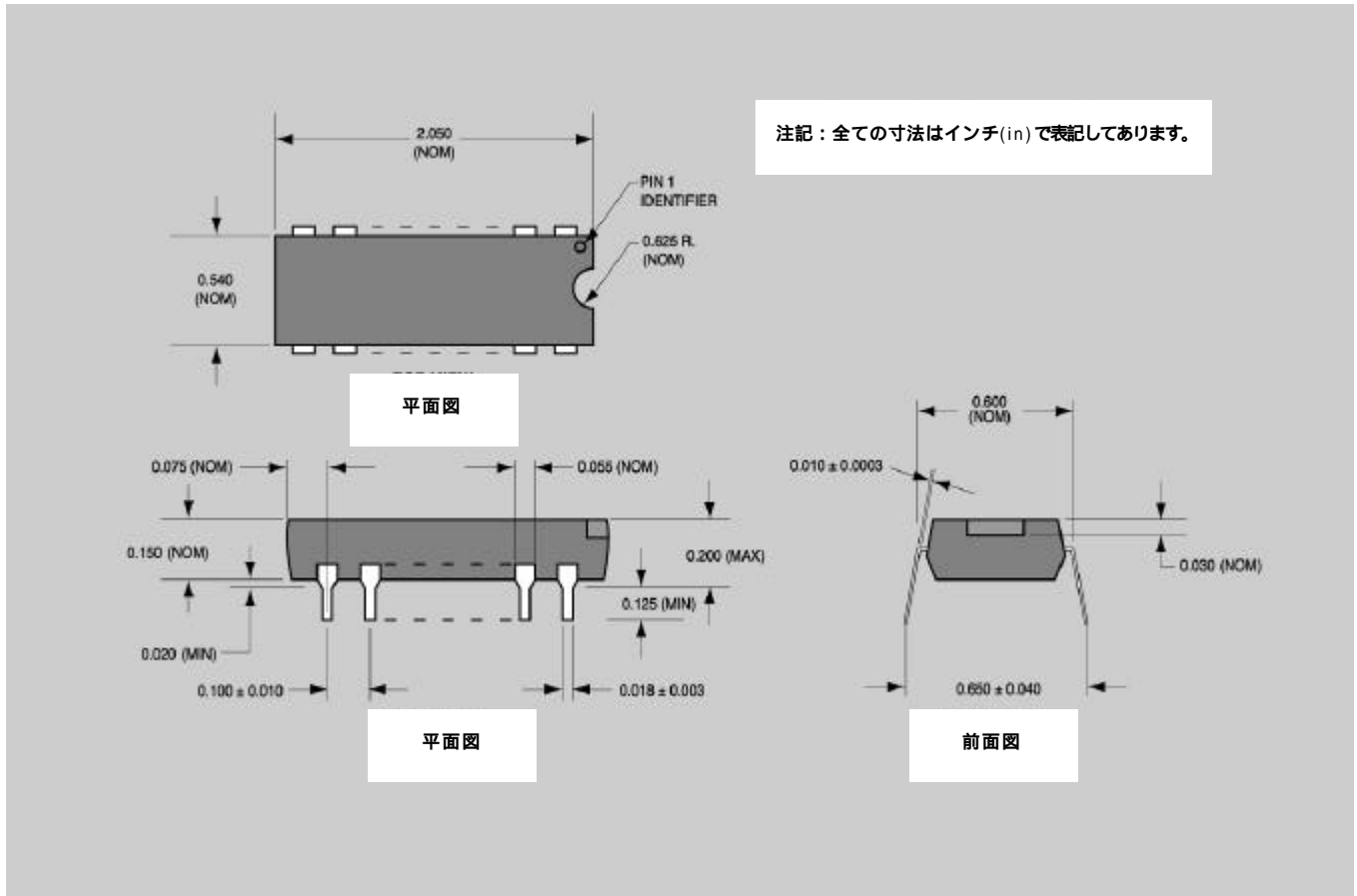


図 14 40 ピン DIP 外形寸法図

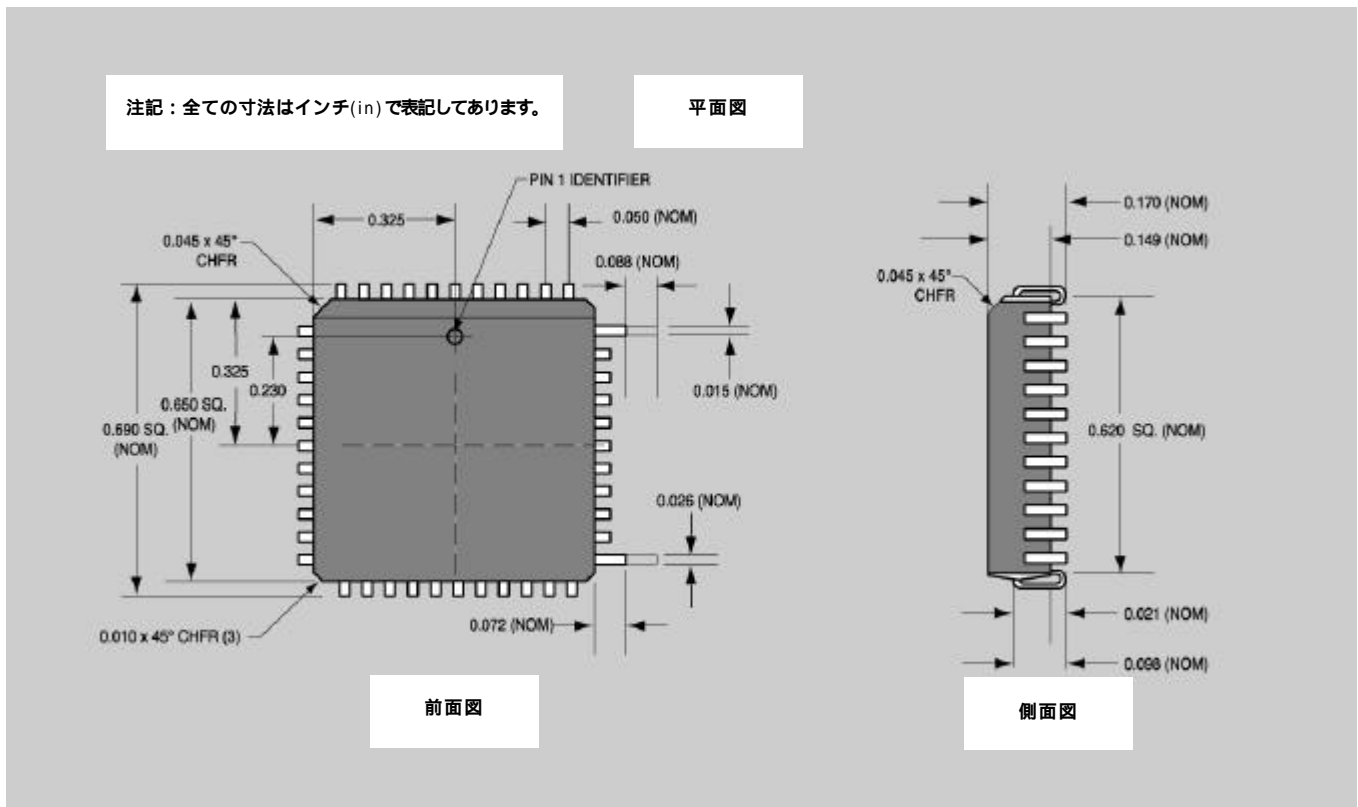


図 15 44 ピン PLCC 外形寸法図

IEEE488.2 Controller Chip-

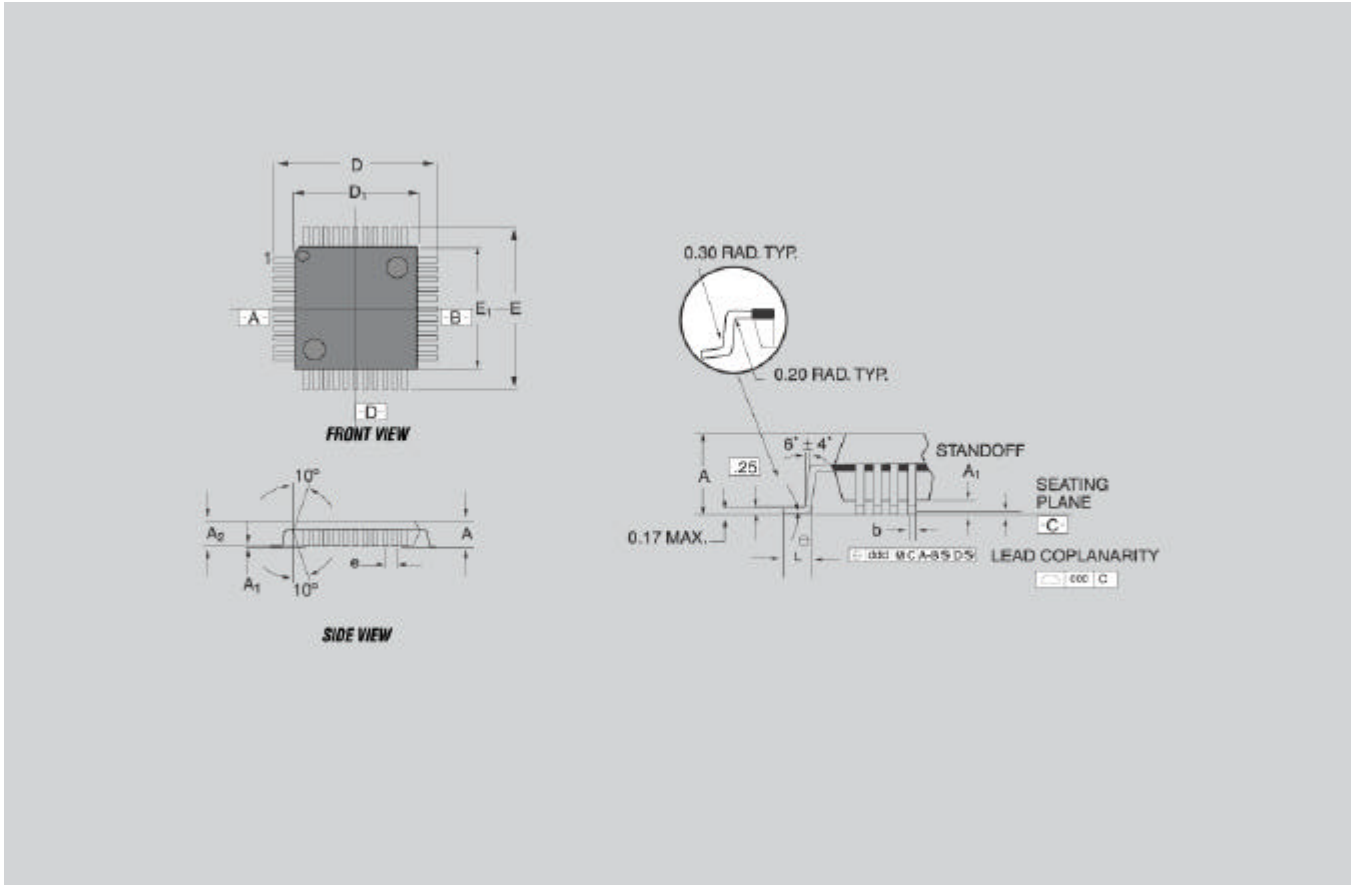


図 16 44 ピン QFP 外形寸法図

寸法	許容誤差	値 (単位:mm)
A	max.	2.35
A ₁	-	0.25 max
A ₂	+0.10/-0.05	2.00
D	± 0.25	17.20
D ₁	± 0.10	14.00
E	± 0.25	17.20
E ₁	± 0.10	14.00
L	+0.15/-0.10	0.88
e	basic	1.00
b	± 0.05	0.35
	-	0 ~ 7°
ddd	-	0.20 nom
ccc	max	0.10